

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-242058

(43)Date of publication of application : 28.10.1986

(51)Int.Cl.

H01L 27/04

(21)Application number : 60-083649

(71)Applicant : SEIKO INSTR & ELECTRONICS LTD

(22)Date of filing : 19.04.1985

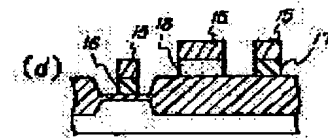
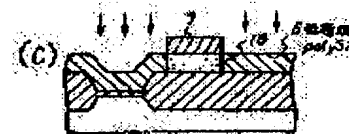
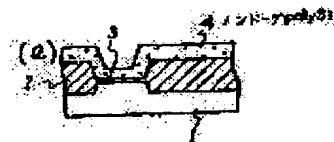
(72)Inventor : KUDO NOBORU

(54) MANUFACTURE OF POLYCRYSTALLINE SILICON RESISTOR

(57)Abstract:

PURPOSE: To prevent the deterioration in element characteristics, and to improve yield by diffusing an impurity in order to lower wiring resistance through an ion implantation method.

CONSTITUTION: A field oxide film 2 and a gate oxide film 3 are formed onto an Si substrate 1, and a non-doped polysilicon layer 4 is shaped through a chemical vapor phase growth method. Phosphorus ions are implanted through an ion implantation method, and thermally treated, thus forming an N-type high-resistance polysilicon layer. A region, in which a polysilicon resistor 18 is shaped, is removed while using a resist 7 as a mask, and phosphorus ions are implanted through the ion implantation method in order to lower the resistance of the high-resistance polysilicon layer, thus forming low resistance polysilicon 6. Each pattern for a gate 16, a wiring 17 and a resistor 18 is shaped through the etching of polysilicon while employing a resist 15 as a mask.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-242058

⑬ Int. Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月28日

H 01 L 27/04

P-7514-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 多結晶シリコン抵抗の製造方法

⑯ 特 願 昭60-83649

⑰ 出 願 昭60(1985)4月19日

⑱ 発 明 者 工 藤 昇 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑲ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

⑳ 代 理 人 弁理士 最 上 務

明 細 書

1. 発明の名称

多結晶シリコン抵抗の製造方法

2. 特許請求の範囲

(1) 多結晶シリコン層中に抵抗を形成するための中ドーゾイオン注入を行なった後、多結晶シリコン抵抗パターンをマスクングして高ドーゾイオン注入を行い、更に前記多結晶シリコン抵抗及び多結晶シリコン配線のパターンを形成した後、注入された前記イオンを活性化することを特徴とする多結晶シリコン抵抗の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多結晶シリコン層中に電気抵抗体及び配線を形成する方法に関する。

(発明の概要)

本発明は、多結晶シリコン層中に電気抵抗体及

び配線を形成する方法において、配線低抵抗化のための不純物拡散をイオン注入法で行うことにより、MOSトランジスタのような能動素子の歩留を向上できるようにしたものである。

(従来の技術)

従来、配線低抵抗化のための不純物拡散を熱拡散法で行う方法では、第2図に示すように、多結晶シリコン層4(第2図(a))に中ドーゾイオン注入を行い、高抵抗多結晶シリコン層5を形成する(第2図(b))工程と、B10₂13でマスクングして高濃度不純物を熱拡散で導入し、低抵抗多結晶シリコン層12を形成する(第2図(c))工程と、しかる後に、レジスト15でマスクングし、ゲート16、配線17、抵抗18をエッチング形成する(第2図(d)及び第2図(a)参照)工程とからなる製造方法が知られている。

(発明が解決しようとする問題点)

しかし、従来の多結晶シリコン抵抗の製造方法では、多結晶シリコンのエッチング速度は高不純物濃度多結晶シリコンが低不純物濃度多結晶シリ

コンよりもはるかに大きいため、抵抗18のエッチング終了時点で、配線17とゲート16がオーバーエッチのため細り、ゲート酸化膜3が薄くなる(第2図(e))。そのため、短チャネル効果や配線抵抗の増大のように素子特性が劣化するという問題があつた。

〔作用〕

上記のように、配線低抵抗化のための不純物拡散をイオン注入法で行うことにより、素子特性の劣化を防止し歩留向上に寄与する。

〔実施例〕

以下に本発明の実施例を図面にもとづいて説明する。第1図(a)~(d)は、本発明の多結晶シリコン抵抗の製造方法を説明するための工程順の断面図である。第1図(a)は、 Si 基板1上にフィールド酸化膜1及びゲート酸化膜3を形成した後、厚さ $5000\sim6000\text{\AA}$ のノンドープポリ Si 層4を化学気相成長法(CVD法)により形成する工程を示す。次に、イオン注入法により、ドーズ量 $1\times 10^{18}\sim 1\times 10^{19}\text{cm}^{-2}$ のリンイオンを注入し

た後、 $900\sim 1000^{\circ}\text{C}$ の熱処理を行うことにより、 a 型の高抵抗ポリ Si 層5を形成する(第1図(b))。次にレジスト7をマスクとしてpoly Si 抵抗18を形成する領域を除いて高抵抗ポリ Si 層5を低抵抗にするため、イオン注入法により、ドーズ量 $1\times 10^{18}\sim 1\times 10^{19}\text{cm}^{-2}$ のリンイオンを注入し低抵抗ポリ Si 層6を形成する(第1図(c))。次に、レジスト15をマスクとしてポリ Si エッチングを行い、ゲート16、配線17、抵抗18の各パターンを形成する(第1図(d))。前記低抵抗ポリ Si 形成のためのイオン注入と前記ポリ Si エッチングの間は熱処理を行わない。従つて、前記イオン注入でポリ Si 層5中に導入された不純物は電気的に活性化されていないため、高抵抗ポリ Si 層5と低抵抗ポリ Si 層6のエッチング速度は変わらない。従つて、従来方法で生じたポリ Si のオーバーエッチによる素子特性劣化の問題を防止できる。

〔発明の効果〕

この発明は以上説明したように、素子特性の劣

化を防止し歩留向上の効果がある。また、低抵抗ポリ Si 層形成のための不純物拡散をイオン注入法により行なっているため、従来法である熱拡散法と比較し精密に抵抗値を制御できるという効果もある。

4. 図面の簡単な説明

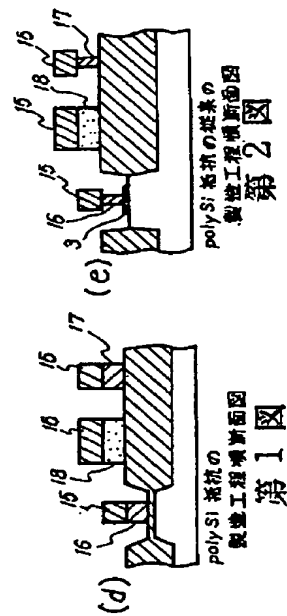
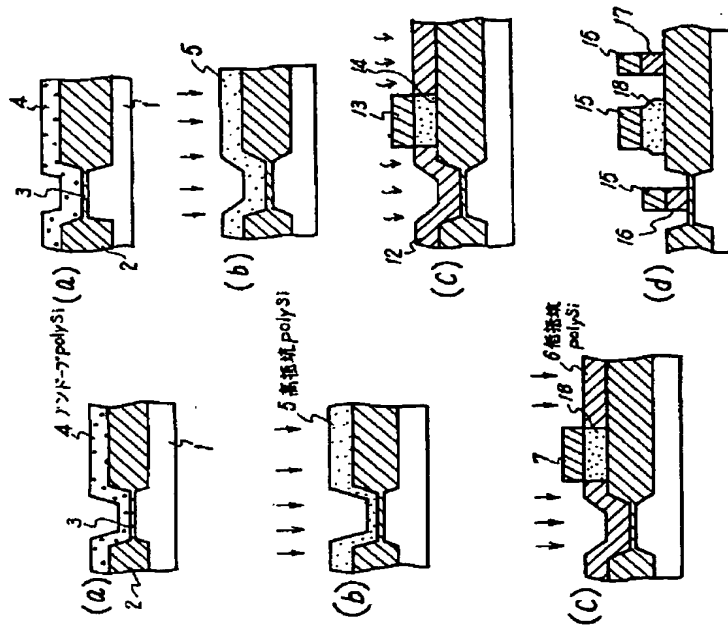
第1図(a)~第1図(d)は本発明の多結晶シリコン抵抗の製造方法にかかる工程順の断面図、第2図(a)~(e)は従来の多結晶シリコン抵抗の製造方法にかかる工程順の断面図である。

- 1… Si 基板、 2…フィールド酸化膜、
3…ゲート酸化膜、 4…ノンドープ多結晶シリコン層、 5, 14…高抵抗多結晶シリコン層、 6, 12…低抵抗多結晶シリコン層、
18…抵抗、 7, 15…レジスト、
13… SiO_2 、 16…ゲート、 17…配線

以 上

出 願 人 セイコー電子工業株式会社

代理人 弁理士 最 上 義 典



poly-Si 結晶の成長の
製造工程横断面図
第 2 図

poly-Si 結晶の成長の
製造工程横断面図
第 1 図